

Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION
Publication No. 09-162706

[0021] to [0023]

[0021] Thus, the control signals CP1 to CPN can be used for adjusting the number of the PMOS transistors P1 to PN which are activated in the circuit and the control signals CN1 to CNN can be used for adjusting the number of the NMOS transistors N1 to NN which are set activated in the circuit. By this method, a ratio P-N of the controllable signal filter 30, which is defined as a ratio of the active PMOS transistors to the active NMOS transistors, can be strictly controlled. As will be explained next, the P-N ratio can be changed so as to adjust the characteristic of shaping the amplitude of the controllable signal filter 30 and separately adjust the effective setup time and the effective hold time of the logic device which receives the input signal of which amplitude has been shaped, in the input line 14.

[0022] When the input signal of the input line 18 has the logic level 0, the NMOS transistors N1 to NN which has been activated in the circuit become "OFF", whereby no change occurs in the input signal of which amplitude has been shaped in the line 14. However, the PMOS transistors P1 to PN which has been activated in the circuit become "ON", to allow the input signal of which amplitude has been shaped in the line 14 to have a logic level 1 (Vcc). On the contrary, when the input signal of the line 18 has a logic level 1, the enable PMOS transistors P1 to PN are "OFF", whereby no change occurs in the input signal of which amplitude has been shaped. Accordingly, the enable NMOS transistors N1 to NN become "ON", to allow the input signal of which amplitude has been

Best Available Copy

shaped to have a logic level 0 (GND).

[0023] Thus, the effective input transition from the logic level 0 to the logic level 1 is filtered when passing from the line 18 to the line 14 in a different manner from that in the non-effective input transition from the logic level 1 to the logic level 0. The manner in which the effective input transition proceeds from the line 18 to the line 14 depends on the number of the NMOS transistors which has been activated in the circuit. Generally, the more the number of the enable NMOS transistors is, the more rapid the effective input transition to the line 14 is. On the contrary, the manner in which the input non-effective transition processes from the line 18 to the line 14 depends on the number of the enable PMOS transistors. Generally, the more the number of the enable PMOS transistors is, the more rapid the input non-effective transition to the line 14 is. Note that the signal transmitted to the line 14 is actually an inverted signal of a signal reaching to the line 18, which is not usually a problem since most of the logic devices use a reverse latching circuit so as to sample and hold the input signal. However, if a logic device in question uses no reverse latching circuit, an inverter is introduced on the line 14 so as to set the signal in an original direction.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-162706

(43)Date of publication of application : 20.06.1997

(51)Int.Cl.

H03K 5/00
H03K 3/02
H03K 3/037
H03K 19/0175
H03K 19/0948

(21)Application number : 08-243176

(71)Applicant : MITSUBISHI SEMICONDUCTOR
AMERICA INC

(22)Date of filing : 13.09.1996

(72)Inventor : BLANKENSHIP DENNIS R

(30)Priority

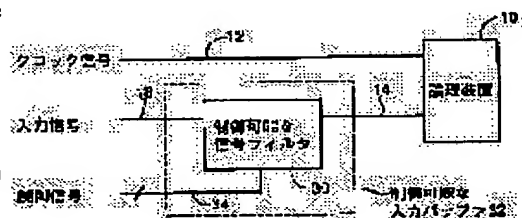
Priority number : 95 528871 Priority date : 15.09.1995 Priority country : US

(54) CONTROLLABLE INPUT BUFFER, INTEGRATED CIRCUIT CONTAINING THE BUFFER,
AND CONTROL METHOD FOR SET-UP AS WELL AS HOLD TIME OF LOGICAL DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a system which can simultaneously and independently control the set-up and hold time of a logical device.

SOLUTION: A controllable signal filter 30 which controls the signal amplitude is applied to a logical device when the set-up and hold time are controlled for a controllable input buffer 32 and the logical device. Then the filter 30 receives a control signal to control in terms of response the characteristic that shapes the amplitude of the filter 30, so that the sum total of the set-up and hold time of the logical device is controlled. Furthermore, the filter 30 includes plural CMOS inverters which are controllably activated to actually offer various types of inverters effectively. The P-N ratio of the filter 30 is controlled when the PMOS and NMOS transistors of different numbers are activated in the inverters. Then the shaping characteristic of the filter 30 is controlled.



LEGAL STATUS

[Date of request for examination] 18.06.1997

[Date of sending the examiner's decision of rejection] 18.12.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision 2002-04568
of rejection]

[Date of requesting appeal against examiner's 15.03.2002
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-162706

(43) 公開日 平成9年(1997)6月20日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K	5/00		H 0 3 K	5/00 J
	3/02			3/02 J
	3/037			3/037 Z
	19/0175			19/00 1 0 1 N
	19/0948			19/094 B
審査請求 未請求 請求項の数12 O L (全 8 頁)				

(21) 出願番号 特願平8-243176

(22) 出願日 平成8年(1996)9月13日

(31) 優先権主張番号 08/528871

(32) 優先日 1995年9月15日

(33) 優先権主張国 米国 (U S)

(71) 出願人 592212054

ミツビシ・セミコンダクター・アメリカ・
インコーポレイテッドMITSUBISHI SEMICOND
UCTOR AMERICA, INC.アメリカ合衆国、27704 ノース・カロラ
イナ州、ダラム、スリー・ダイヤモンド・
レーン (番地なし)

(72) 発明者 デニス・アール・ブランケンシップ

アメリカ合衆国、27712 ノース・カロラ
イナ州、ダラム、サマーフィールド・ドラ
イブ、6205

(74) 代理人 弁理士 深見 久郎 (外3名)

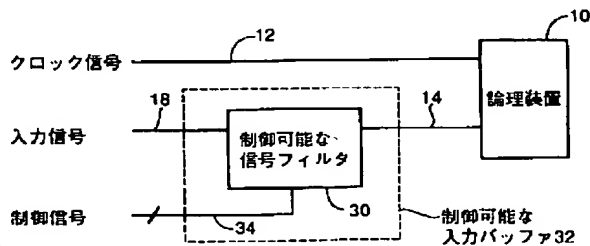
(54) 【発明の名称】 制御可能な入力バッファ、それを含む集積回路、および論理装置のセットアップおよびホールド時間を調整するための方法

(57) 【要約】

【課題】 論理装置のセットアップおよびホールド時間の、同時の独立した調整を可能にするシステムを提供する。

【解決手段】 制御可能な入力バッファ (32) および論理装置のセットアップおよびホールド時間を調整するための方法は、論理装置に、信号の振幅を整形する制御可能な信号フィルタ (30) を用いる。信号フィルタ

(30) は装置のセットアップおよびホールド時間の合計を調整するよう、信号フィルタ (30) の、振幅を整形する特性を応答的に制御する制御信号を受取る。信号フィルタ (30) は、フィルタの、整形する特性を制御する信号フィルタ (30) 内に、事実上さまざまな数のインバータを有効に提供するよう制御可能に能動化される、複数のCMOSインバータを有する。信号フィルタ (30) のP-N比は、インバータ内で異なった数のPMOSおよびNMOSトランジスタを能動化することによって調整され、さらにフィルタの、整形する特性を制御する。



【特許請求の範囲】

【請求項1】 セットアップおよびホールド時間の特性を有する論理装置を駆動するための制御可能な入力バッファであって、

入力信号を受取り、かつ前記入力信号の振幅を整形して振幅の整形された入力信号を前記論理装置に与える、制御可能な信号フィルタを備え、

前記信号フィルタは、制御信号を受取り、かつ前記信号フィルタの、振幅を整形する特性を応答的に制御して、所定の値を有するよう前記論理装置のセットアップおよびホールド時間の合計を調整できるようにするための少なくとも1つの制御信号入力を含む、論理装置を駆動するための制御可能な入力バッファ。

【請求項2】 複数個の制御信号をそれぞれ受取る複数個の制御信号入力を含み、前記制御可能な信号フィルタは複数個のCMOSインバータを含み、前記インバータのうち少なくとも1つは、対応する能動化するための制御信号を受取って、能動化されたインバータの数に従って、前記信号フィルタの整形する特性を制御する、請求項1に記載の制御可能な入力バッファ。

【請求項3】 少なくとも1つの前記CMOSインバータが、PMOSTランジスタと、NMOSTランジスタとを含み、前記PMOSおよびNMOSTランジスタは、それぞれの能動化するための制御信号を受取って前記信号フィルタのP-N比に従って、制御された整形する特性を生み出す、請求項2に記載の制御可能な入力バッファ。

【請求項4】 複数個の制御信号をそれぞれ受取る複数個の制御信号入力を含み、前記制御可能な信号フィルタはCMOSインバータと、複数個のPMOSTランジスタとを含み、前記ランジスタのうち少なくとも1つは、対応する能動化するための制御信号を受取って、能動化されたランジスタの数に従って、前記信号フィルタの整形する特性を制御する、請求項1に記載の制御可能な入力バッファ。

【請求項5】 複数個の制御信号をそれぞれ受取る複数個の制御信号入力を含み、前記制御可能な信号フィルタはCMOSインバータと、複数個のNMOSTランジスタとを含み、前記ランジスタのうち少なくとも1つは、対応する能動化するための制御信号を受取って、能動化されたランジスタの数に従って、前記信号フィルタの整形する特性を制御する、請求項1に記載の制御可能な入力バッファ。

【請求項6】 前記制御可能な信号フィルタは、振幅の整形された入力信号を複数個の論理装置に与え、それにより各論理装置のセットアップおよびホールド時間の合計が所定の値を有するよう調整する、請求項1に記載の制御可能な入力バッファ。

【請求項7】 セットアップおよびホールド時間の特性を有する集積回路であって、

所定の機能を行なうための論理回路と、

制御可能な入力バッファとを備え、

前記制御可能な入力バッファは、入力信号を受取り、かつ前記入力信号の振幅を整形して振幅の整形された入力信号を前記論理回路に与える、制御可能な信号フィルタを備え、前記信号フィルタは、制御信号を受取り、かつ前記信号フィルタの、振幅を整形する特性を応答的に制御して、所定の値を有するよう前記集積回路のセットアップおよびホールド時間の合計を調整できるようにするための少なくとも1つの制御信号入力を含む、セットアップおよびホールド時間の特性を有する集積回路。

【請求項8】 セットアップおよびホールド時間の特性を有する論理装置を駆動するための制御可能な入力バッファであって、

データ信号およびクロック信号のうち少なくとも1つを受取り、かつ前記受信された信号を時間的にシフトして、前記論理装置に、時間的にシフトされた入力信号を与える、制御可能な信号フィルタを含み、

前記信号フィルタはそれぞれ複数個の制御信号を受取り、かつ前記信号フィルタの、時間をシフトする特性を応答的に制御して、所定の値を有するよう前記論理装置のセットアップ時間およびホールド時間を調整できるようにする、複数個の制御信号入力と、CMOSインバータと、

複数個のPMOSおよびNMOSTランジスタとを含み、前記ランジスタのうち少なくとも1つは、対応する能動化するための制御信号を受取って、能動化されたランジスタの数に従って、前記信号フィルタの、シフトする特性を制御する、論理装置を駆動するための制御可能な入力バッファ。

【請求項9】 論理装置のセットアップおよびホールド時間を調整するための方法であって、所定の値を有するよう、前記装置の入力信号の振幅を整形して論理装置のセットアップおよびホールド時間の合計を調整するステップを含む、論理装置のセットアップおよびホールド時間を調整するための方法。

【請求項10】 前記入力信号の振幅の整形を行なう、制御可能な信号フィルタの、振幅を整形する特性を制御するステップをさらに含む、請求項9に記載の方法。

【請求項11】 制御可能な信号フィルタの、振幅を整形する特性を制御するステップが、前記信号フィルタを形成する複数個のCMOSインバータを選択的に能動化するステップを含む、請求項10に記載の方法。

【請求項12】 制御可能な信号フィルタの、振幅を整形する特性を制御するステップが、前記信号フィルタを形成する複数個のPMOSおよびNMOSTランジスタを選択的に能動化するステップを含む、請求項10に記載の方法。

【発明の詳細な説明】

【0001】

【発明の分野】この発明は論理装置の分野に関し、より特定的には論理装置のセットアップおよびホールド時間の、制御可能な調整に関する。

【0002】

【関連技術の説明】多くのデジタル論理装置は、入力データを受取り、かつ保持するために、同じ一般的な装置を用いる。この装置においては、論理装置に接続されたクロック信号入力ラインに、周期的なラッチングパルスが与えられ、ラッチングパルスの立上がり端縁または立下がり端縁は、論理装置の内部のラッチング回路をトリガするために用いられる。トリガされると、ラッチング回路は、論理装置に接続されたデータ信号入力ラインにそのときある論理データレベルをそれが何であれ捕らえ、かつ保持する。

【0003】すべての論理装置に共通な寄生ラインキャパシタンスおよび一般的に論理装置に用いられる半導体コンポーネントの、ゼロではない切換速度のために、有効データが、対応するラッチング回路がトリガされると全く同時にデータ入力ラインに与えられることはできない。代わりに、データが適切にラッチされるためには、クロック入力ラインにおけるラッチングパルスの発生よりも、ある最小の時間間隔だけ先立って、入力の有効な遷移がデータ入力ラインに発生することを要する。典型的にはすべての論理装置に対して異なる、この最も短い時間間隔は、論理装置の、必要とされる最も短い“セットアップ時間”として知られる。

【0004】同様に、有効データは、ラッチング回路を故障させることなく、対応するラッチング回路がトリガされたすぐ後にデータ入力ラインから取除かれることができない。特に、クロック入力ラインにラッチングパルスが発生した後最も短い時間間隔において、入力の有効でない遷移がデータ入力ラインに発生し得る。この最も短い時間は、論理装置の、必要とされた最も短い“ホールド時間”として知られ、典型的にはすべての論理装置に対して異なる。

【0005】最も基礎的な論理設計さえ、通常は、共通のデータ入力信号上で動作している間さまざまな論理装置が共通のクロック信号によって駆動されることを必要とするため、多くの論理装置の間のセットアップおよびホールド時間の整合が可能であるよう、所与の論理装置のセットアップおよびホールド時間が制御可能に調整できることが所望される。先行技術の、セットアップおよびホールド時間を調整することへの試みは、信号を受取る論理装置の有効セットアップ時間および有効ホールド時間が調整されるよう、クロック信号に対してデータ入力信号を時間的にシフトするための遅延素子を用いることを含む。

【0006】たとえば、オサキ他 (Osaki et al.) の米国特許第5, 107, 153号は、切換可能なコンデン

サの並列接続を含む、遅延回路を開示する。回路においてアクティブなコンデンサの数を変えることによって、データ入力信号をクロック信号に対して、制御可能に時間的にシフトでき、このためデータ入力信号の、入力の有効な遷移および入力の有効でない遷移の両方が、クロック信号のラッチングパルスに対して時間的にシフトされる。この方法で、遅延データ入力信号とクロック信号とを受取る論理装置の、有効セットアップ時間および有効ホールド時間が調整される。このような状況において同じ結果を達成するよう、他の制御可能な遅延回路が適用され得る。たとえば、ウー (Woo) の米国特許第5, 220, 216号は、プログラム可能な駆動電力特性と、可変伝播遅延とを備えたCMOSゲートを開示する。

【0007】しかしこのようなシステムは、データ入力信号を均一に遅延させるだけであり、このため有効セットアップ時間および有効ホールド時間を互いに独立して調整することができない。一例として、量 Δ だけ、クロック信号に対する時間が遅延されたデータ入力信号を考慮されたい。このような場合、クロック信号の、対応するラッチングパルスに先立って発生する、データ入力信号の入力の、有効な遷移は量 Δ だけ遅延されることとなり、このためそれらはラッチングパルスに時間的に近く発生する。さらに、クロック信号の対応するラッチングパルスの後に発生する、データ入力信号の、入力の有効でない遷移は同じ量 Δ だけ遅延されることとなり、このためそれらはラッチングパルスから時間的に離れて発生する。したがって、遅延データ入力信号と、クロック信号とを受取る論理装置の有効ホールド時間は量 Δ だけ減らされるが、これは、論理装置の有効セットアップ時間を同じ量 Δ だけ増加させるという犠牲の上にのみなされるのである。この概念は、有効セットアップ時間および有効ホールド時間の合計であると規定される、セットアップおよびホールド時間の合計が、 Δ に対して選ばれた値に関係なく一定のまま留まる、という説明で簡潔に表わされる。論理設計がますます複雑になるにつれて、論理コンポーネントを選び、混合させることにおける設計者の柔軟性が最も重要であるため、このような制限は重大な問題である。

【0008】

【発明の概要】論理装置のセットアップおよびホールド時間の、同時であるが独立した調整を可能にするシステムが必要である。この必要性および他の必要性は、セットアップおよびホールド時間の特性を有する論理装置を駆動するための制御可能な入力バッファを提供する、この発明によって満たされる。制御可能な入力バッファは、入力信号を受取り、かつ入力信号の振幅を整形して、振幅が整形された入力信号を論理装置に与える制御可能な信号フィルタを含む。制御可能な信号フィルタは、制御信号を受取り、かつ信号フィルタの、振幅を整

形する特性を応答的に制御して、論理装置のセットアップおよびホールド時間の合計を調整する少なくとも1つの制御信号入力を含む。したがって、論理装置の有効セットアップ時間および有効ホールド時間は独立して調整され得る。

【0009】この発明は、セットアップおよびホールド時間の特性を有する集積回路をさらに提供する。集積回路は、所定の機能を行なうための論理回路と、制御可能な入力バッファとを含む。制御可能な入力バッファは、入力信号を受取り、入力信号の振幅を整形して、論理回路に、振幅が整形された入力信号を与える制御可能な信号フィルタを含む。制御可能な信号フィルタは、制御信号を受取り、かつ信号フィルタの、振幅を整形する特性を応答的に制御して集積回路のセットアップおよびホールド時間の合計を調整する少なくとも1つ制御信号入力を含む。したがって、集積回路の有効セットアップ時間および有効ホールド時間が独立して調整され得る。

【0010】この発明の前述および他の目的、特徴、局面および利点は、添付の図面と関連して読まれると、この発明の以下の詳細な説明からより明らかになるであろう。

【0011】

【好ましい実施例の詳細な説明】図1は、論理装置10と関連した有効セットアップ時間および有効ホールド時間を調整するために用いられる、先行技術のシステムを示す。論理装置10の、必要とされた最も短いセットアップ時間 ST は、有効入力信号の入力ライン14への到達と、クロックライン12上でのラッチングパルスの発生との間の最も短い許容時間間隔として規定される。もし、ライン14での入力の有効な遷移と、ライン12での対応するラッチングパルスとの間の時間が、必要とされた最も短いセットアップ時間 ST よりも長い、またはそれに等しいならば、有効入力信号は、論理装置10の内部のラッチング回路によって適切にラッチされることとなり、論理装置10は意図されたように機能することとなる。しかしもし、ライン14での入力の有効な遷移と、ライン12でのラッチングパルスとの間の時間間隔が、必要とされた最も短いセットアップ時間 ST よりも短ければ、有効入力信号は適切にラッチされず、論理装置10はうまく機能しないだろう。

【0012】逆に、論理装置10の、必要とされる最も短いホールド時間 HT は、クロックライン12でのラッチングパルスの発生と、有効入力信号の、入力ライン14からの除去との間の最も短い許容時間間隔として規定される。もし、ライン12でのラッチングパルスと、ライン14での対応する入力の有効でない遷移との間の時間が、必要とされた最も短いホールド時間 HT よりも長い、またはそれに等しいならば、有効入力信号は適切にラッチされることとなり、論理装置10は意図されたように機能するだろう。しかしもし、ライン12でのラ

ッチングパルスと、ライン14での入力の有効でない遷移との間の時間間隔が、必要とされた最も短いホールド時間 HT よりも短ければ、有効入力信号は適切にラッチされず、論理装置10はうまく機能しないだろう。

【0013】論理装置10の有効セットアップ時間 ST_{eff} および有効ホールド時間 HT_{eff} の調整を可能にするために、入力ライン14に誘起された信号が、入力ライン18に到達する入力信号の遅延された複製であるよう、遅延素子16が提供される。有効セットアップ時間およびホールド時間の調整は、遅延素子16によってもたらされる遅延量を変えることによって達成される。これを示すために、図2は、入力ライン18に到達する入力信号と、入力ライン14に誘起される遅延入力信号と、クロックライン12に伝えられるクロック信号との間の相対的なタイミングを示す。

【0014】示されるように、ライン14の遅延入力信号は、ライン18の入力信号に対して量 Δ だけ時間的にシフトされ、遅延された入力の有効な遷移26は、対応する入力の有効な遷移22がライン18に発生する時間の Δ 後に、ライン14に発生する。間隔 t_s は、入力の有効な遷移22と、ライン12に発生するクロックラッチングパルス20との間に規定される。さらに、間隔 t_s' は、遅延された入力の有効な遷移26とクロックラッチングパルス20との間に規定される。定義すると、 t_s と t_s' との関係は、 $t_s' = t_s - \Delta$ である。上述のとおり、 t_s' は、論理装置10が適切に機能するためには、必要とされる最も短いセットアップ時間 ST よりも長い、またはこれに等しくなければならない。したがって、 t_s は $ST + \Delta$ の量よりも大きい、または等しくなければならない。したがって、この量は、図1の装置の有効セットアップ時間 ST_{eff} である。 ST_{eff} は、入力ライン18での入力の有効な遷移と、ライン12でのクロックラッチングパルスとの間の、最も短い許容時間間隔を構成する。

【0015】同様に、遅延された入力の有効でない遷移28は、対応する入力の有効でない遷移24がライン18に発生した時間 Δ 後に、ライン14に発生する。2つの間隔 t_h および t_h' は、 $t_h' = t_h + \Delta$ となるよう規定される。ここでもまた、上述のとおり、 t_h' は、論理装置10が適切に機能するためには、必要とされた最も短いホールド時間 HT よりも長い、またはこれに等しくなければならない。したがって、 t_h は量 $HT - \Delta$ 、すなわち、図1の装置の有効ホールド時間 HT_{eff} よりも大きい、またはこれに等しくなければならない。

【0016】遅延 Δ の量を変えることによって、有効セットアップおよびホールド時間 ST_{eff} および HT_{eff} は制御可能に調整され得る。しかし、入力の有効な遷移22および入力の有効でない遷移24の両方が、それぞれ遅延遷移26および28をもたらしよう同じ量 Δ だけ

各々遅延されるため、有効セットアップおよびホールド時間 ST_{eff} および HT_{eff} は独立して調整されないおそれがある。 $ST_{eff} + HT_{eff} = (ST + \Delta) + (HT - \Delta)$ となるよう規定される、セットアップおよびホールド時間の合計 $A_{sk;h}$ は、遅延量 Δ に関係なく一定である。したがって、有効セットアップ時間 ST_{eff} は、有効ホールド時間 HT_{eff} を同じ量だけ減じるまたは増加するという犠牲の上でのみ、増加され、または減じられ、この逆についても同じことが言える。

【0017】図3は、この発明の実施例に従って構成された、論理装置のセットアップおよびホールド時間を調整するためのシステムを示す。制御可能な入力バッファ32は、制御可能な信号フィルタ30と、1つまたはそれ以上の制御信号入力34とを含む。制御可能な信号フィルタ30は入力ライン18の入力信号を受取り、振幅の整形された入力信号を、入力ライン14で論理装置10に送る。同時に、制御信号入力34はたとえばマイクロプロセッサから、対応する制御信号を受取り、制御可能な信号フィルタ30の、振幅を整形する特性を制御可能に調整する。したがって、論理装置10によって受取られた、振幅の整形された入力信号は制御可能に調整され、このため論理装置10の有効セットアップ時間 ST_{eff} および有効ホールド時間 HT_{eff} は、所定の値を有するよう調整される。

【0018】有利なことに、図3の実施例は、論理装置10の有効セットアップ時間 ST_{eff} および有効ホールド時間 HT_{eff} の、独立した調整を可能にする。これを示すために、図4はこの発明の実施例に従って構成された、制御可能な信号フィルタ30の概略図を提供する。図4において、CMOSインバータ $INV1 \sim INVN$ は、入力ライン14と入力ライン18との間で並列に接続される。CMOSインバータ $INV1 \sim INVN$ の各々は、独立して制御される、2つのMOS型トランジスタを含む。

【0019】たとえば、インバータ $INV1$ は、PMOSTランジスタ $P1$ と、NMOSTランジスタ $N1$ とを含む。PMOSTランジスタ $P1$ は、イネーブルトランジスタ $EP1$ と制御ライン 34_{p1} とを有する制御回路を介して、制御信号 $CP1$ によって制御される。NMOSTランジスタ $N1$ は、イネーブルトランジスタ $EN1$ と制御ライン 34_{n1} とを含む制御回路を介して、制御信号 $CN1$ によって制御される。

【0020】制御信号 $CP1$ が論理0であるとき、イネーブルトランジスタ $EP1$ は“オン”状態に設定され、このためPMOSTランジスタ $P1$ は能動化され、回路内でアクティブである。しかし、制御信号 $CP1$ が論理1であるとき、 $EP1$ は“オフ”であり、 $P1$ は不能化され、回路から事実上取除かれる。同様に、制御信号 $CN1$ が論理1であるとき、イネーブルトランジスタ $EN1$ は“オン”であり、NMOSTランジスタ $N1$ は能動

化され、回路内でアクティブである。 $CN1$ が論理0であるとき、 $EN1$ は“オフ”であり、 $N1$ は不能化され、アクティブではない。

【0021】このように、制御信号 $CP1 \sim CPN$ は、回路内で能動化されるPMOSTランジスタ $P1 \sim PN$ の数を調整するよう用いることができ、制御信号 $CN1 \sim CNN$ は、回路内で能動化されるNMOSTランジスタ $N1 \sim NN$ の数を調整するよう用いることができる。この方法で、能動化されたPMOSTランジスタの、能動化されたNMOSTランジスタに対する比として規定される、制御可能な信号フィルタ30のP-N比は厳密に制御され得る。次に述べられるように、P-N比は、制御可能な信号フィルタ30の振幅を整形する特性を調整し、かつ入力ライン14で振幅の整形された入力信号を受取る論理装置の、有効セットアップおよびホールド時間を独立して調整するよう、変更され得る。

【0022】入力ライン18の入力信号が論理レベル0であるときには、回路内で能動化されたNMOSTランジスタ $N1 \sim NN$ は“オフ”になり、ライン14の、振幅の整形された入力信号に変化をもたらさない。しかし、回路内で能動化されたPMOSTランジスタ $P1 \sim PN$ は、“オン”になり、ライン14の、振幅の整形された入力信号を論理レベル1 (V_{cc}) にする。反対に、ライン18の入力信号が論理レベル1になるときは、イネーブルPMOSTランジスタ $P1 \sim PN$ は“オフ”になり、振幅の整形された入力信号に変化をもたらさず、イネーブルNMOSTランジスタ $N1 \sim NN$ は“オン”になり、振幅の整形された入力信号を論理レベル0 (GND) にする。

【0023】このように、論理レベル0から論理レベル1への、入力の有効な遷移は、ライン18からライン14まで通過する際に、論理レベル1から論理レベル0への、入力の有効でない遷移とは異なって渡波される。入力の有効な遷移がライン18からライン14まで通過する態様は、回路内で能動化されたNMOSTランジスタの数によって主に定められ、一般的には、イネーブルNMOSTランジスタの数が多いほど、ライン14に伝わる入力の有効な遷移は速い。逆に、入力の有効でない遷移がライン18からライン14に伝わる態様は、イネーブルPMOSTランジスタの数によって主に定められる。ここでもまた、一般的にはイネーブルPMOSのトランジスタの数が多いほど、ライン14に伝わる、入力の有効でない遷移は速い。ライン14に伝わる信号は実際には、ライン18に到達する信号の、反転されたものであることに注目されたい。論理装置の多くが、入力信号をサンプルし、かつ保持するよう、反転ラッチング回路を用いるため、これは普通は問題ではない。しかし、もし対象の論理装置が、反転ラッチング回路を用いないならば、信号を元の方向に戻すよう、ライン14上にインバータが導入され得る。

【0024】制御可能な信号フィルタ30は、入力の有効な遷移および入力の有効でない遷移を、異なって処理または整形するよう制御され得るため、図3の実施例は、論理装置の有効セットアップおよびホールド時間を独立して調整するよう用いられ得る。この点をさらに例示するために、図5は、入力ライン18に到達する入力信号と、入力ライン14に誘導される、振幅の整形された入力信号と、クロックライン12に伝えられるクロック信号との間の相対的なタイミングを示す。

【0025】示されるように、ライン14の、振幅の整形された入力信号は、ライン18上の入力信号に対して、有効な、入力の有効な遷移50が、それに対応する、入力の有効な遷移22がライン18に発生してから時間 δ_1 後に、ライン14に発生するよう整形される。間隔 t_s は、入力の有効な遷移22と、ライン12に発生するクロックラッチングパルス20との間に規定される。さらに、間隔 t_s' は、有効な、入力の有効な遷移50と、クロックラッチングパルス20との間に規定される。定義すると、 t_s と t_s' との間の関係は、 $t_s' = t_s - \delta_1$ である。図1に関して述べられたとおり、 t_s' は、論理装置10が適切に機能するためには必要とされる最も短いセットアップ時間STよりも長いまたはこれに等しくなければならない。したがって、 t_s は量 $ST + \delta_1$ 、すなわち図3の装置の有効なセットアップ時間 ST_{eff} よりも大きい、またはこれに等しくなければならない。 ST_{eff} は、入力ライン18の入力の有効な遷移と、ライン12上のクロックラッチングパルスとの間の最も短い許容時間間隔を構成する。

【0026】同様に、有効な、入力の有効でない遷移52は、対応する、入力の有効でない遷移24がライン18に発生してから時間 δ_2 後にライン14に発生する。2つの間隔 t_h および t_h' は、 t_h' が $t_h + \delta_2$ に等しくなるよう規定される。ここでもまた、図1に関して述べられたとおり、 t_h' は、論理装置10が適切に機能するためには、必要とされた最も短いホールド時間HTよりも大きい、またはこれに等しいことを要する。したがって、 t_h は量 $HT - \delta_2$ 、すなわち図3の装置の有効ホールド時間 HT_{eff} よりも大きい、またはこれに等しいことを要する。

【0027】 δ_1 の値を変えることによって、有効セットアップ時間 ST_{eff} は、制御可能に調整され得る。さらに、 δ_2 の値を変えることによって、有効ホールド時間 HT_{eff} は制御可能に調節され得る。 δ_1 および δ_2 が独立して調整され得るため、たとえば図4に関して述べられたような被制御信号フィルタ30におけるイネーブルNMOSおよびPMOSTランジスタの数を変えることによって、有効セットアップおよびホールド時間 ST_{eff} および HT_{eff} が独立して調整され得る。同様に、合計が $ST_{eff} + HT_{eff} = (ST + \delta_1) + (HT - \delta_2)$

と規定される、セットアップおよびホールド時間の合計 $A_{sk,h}$ が制御可能に調整され得る。

【0028】図6は、この発明の代替的な実施例のブロック図である。この実施例において、集積回路60は、制御可能な入力バッファ32と、論理回路62とを含む。制御可能な入力バッファ32は、制御可能な信号フィルタ30と、1つまたはそれ以上の制御信号入力34とを含む。さらに、論理回路62はラッチング回路64と、付加的な回路構成66とを含む。付加的な回路構成66の構成は任意であって、所望の論理機能すべてを行なうよう形成されてもよい。したがって、集積回路60は対象のいかなる回路設計におけるコンポーネントとして用いられてもよい。さらに、以下に説明されるように、制御可能な入力バッファ32は、回路設計における他のコンポーネントの、セットアップおよびホールド時間を整合するよう、集積回路60の有効セットアップ時間および有効ホールド時間を独立して調整するために用いられてもよい。

【0029】図6の実施例において、制御可能な信号フィルタ30は、入力ライン18上の入力信号を受取り、入力ライン14上の論理回路62に、振幅の整形された入力信号を送る。同時に、制御信号入力34は、たとえばマイクロプロセッサから、対応する制御信号を受取り、制御可能な信号フィルタ30の、振幅を整形する特性を制御可能に調整する。制御可能な信号フィルタ30は、たとえば図4に示されるように、論理回路62によって受取られる、振幅の整形された入力信号が制御可能に調整され、かつ集積回路60の有効セットアップ時間 ST_{eff} および有効ホールド時間 HT_{eff} が、所定の値を有するよう独立して調整されるように構成されてもよい。同様に、合計が $ST_{eff} + HT_{eff}$ であると規定される、集積回路60のセットアップおよびホールド時間の合計 $A_{sk,h}$ が制御可能に調整される。

【0030】以上に述べられた詳細な実施例は、例示のためにのみ提供され、この発明の範囲を限定するものとして意図されないことに注目されたい。たとえば、図4に描かれた、制御可能な信号フィルタ30の実施例の、他の代替例を考えることもできる。このような実施例の1つにおいて、NMOSTランジスタN1~NNのうちいくつかおよびPMOSTランジスタP1~PNのうちいくつかは制御可能でなく、永久的に能動化されたままである。さらに、インバータINV1~INVNが、ディスクリートのユニットとして選択的に能動化または不能化されるよう、1対のNMOSおよびPMOSTランジスタが直列に能動化される実施例を考えることもできる。また、制御可能な信号フィルタのP-N比を調整するよう、NMOSTランジスタのみまたはPMOSTランジスタのみが能動化および不能化される、実施例を考えることもできる。図6の集積回路に用いられるような制御可能な信号フィルタ30に関しては、制御可能な信

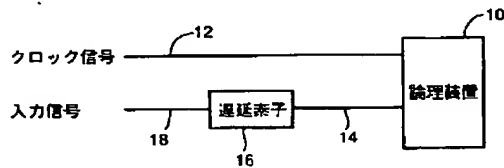
号フィルタ30は入力データ信号を整形するためには用いられないが、代わりに、クロック信号または集積回路60の内部の他の信号を整形するために用いられる実施例と考えることもできる。要するに、この発明は詳細を説明し、例示したが、これは例示および例によってのみであり、限定するものと解されず、この発明の精神および範囲は添付の特許請求の範囲によってのみ限定されることが明らかに理解される。

【図面の簡単な説明】

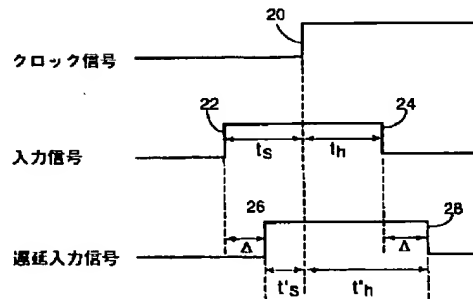
【図1】論理装置のセットアップおよびホールド時間を調整するための先行技術のシステムのブロック図である。

【図2】図1の先行技術のシステムのタイミング分析図である。

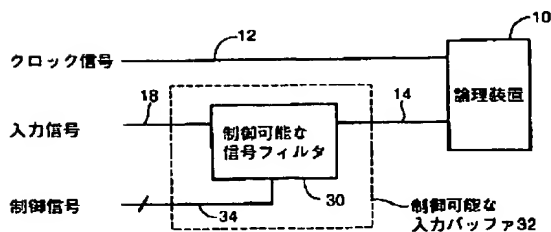
【図1】



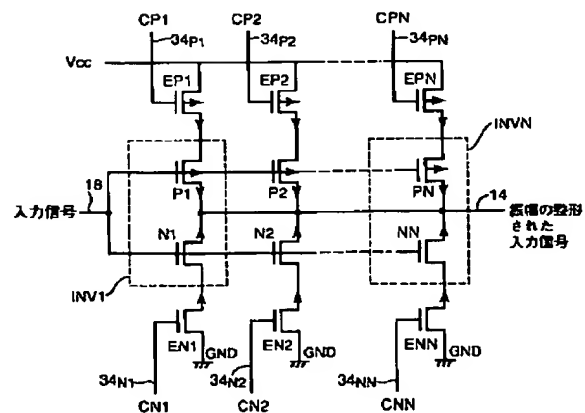
【図2】



【図3】



【図4】



【図3】この発明の実施例に従って構成され、論理装置のセットアップおよびホールド時間を調整するためのシステムのブロック図である。

【図4】この発明の実施例に従って構成され、図3のシステムの1つのコンポーネントを構成する、制御可能な入力バッファの概略図である。

【図5】図3のシステムのタイミング分析の図である。

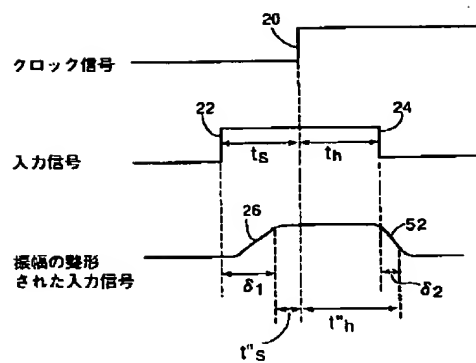
【図6】この発明の別の実施例に従って構成された、論理装置のセットアップおよびホールド時間を調整するために用いられるシステムのブロック図である。

【符号の説明】

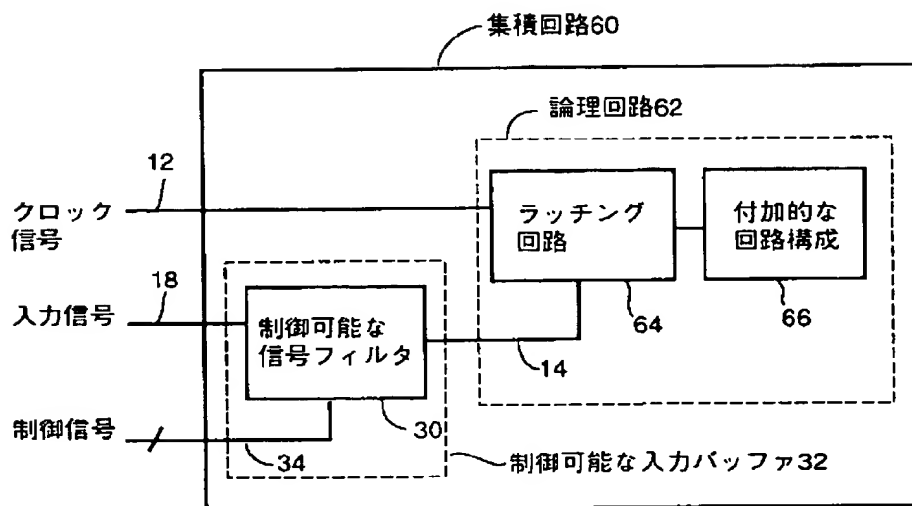
30 制御可能な信号フィルタ

32 制御可能な入力バッファ

【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.